

출력 일자: 2004/10/12

발송번호 : 9-5-2004-040809551

수신 : 서울 강남구 역삼동 827-25 3층 (고려국

발송일자 : 2004.09.24

제특허법률사무소)

제출기일 : 2004.11.24

임창현 귀하

135-080

특허청 의견제출통지서

출원인 명칭 삼성전자주식회사 (출원인코드: 119981042713)

주소 경기도 수원시 영통구 매탄동 416

대리인 성명 임창현 외 1 명

주소 서울 강남구 역삼동 827-25 3층 (고려국제특허법률사무소)

출원번호 10-2002-0077289

발명의 명칭 일회적 프로그래밍이 가능한 롬을 구비하는 반도체 장치 및 그 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-23항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

1. 청구항 제1-7항의 부유게이트 전극, 커패시터를 구비하는 반도체장치는 인용발명1(한국공개특허공보 1998-79703호(1998.11.25))의 부유게이트 전극, 커패시터를 구비하는 반도체장치 및 인용발명2(미국공개특허공보 2002-24083호(2002.02.28))의 부유게이트 전극, 커패시터를 구비하는 반도체장치 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)

2. 청구항 제8-23항의 부유 게이트 적극을 형성하는 단계, 하부전극, 상부전극을 형성하는 단계를 갖는 반도체장치의 제조방법은 인용발명1의 부유 게이트 적극을 형성하는 단계, 하부전극, 상부전극을 형성하는 단계를 갖는 반도체장치의 제조방법 및 인용발명2의 부유 게이트 적극을 형성하는 단계, 하부전극, 상부전극을 형성하는 단계를 갖는 반도체장치의 제조방법 등에서 용이하게 발명할 수 있는 것입니다.(특허법 제29조제2항)

[첨부]

첨부 1 공개특허 제1998-79703호(1998.11.25) 1부.

첨부2 미국공개특허공보 2002-24083호(2002.02.28) 1부. 끝.

2004.09.24

특허청

전기전자심사국

응용소자심사담당관실

심사관 김근모



출력 일자: 2004/10/12

<<안내>>

문의사항이 있으시면 ☎ 042-481-5985 로 문의하시기 바랍니다.

서식 또는 절차에 대하여는 특허고객 콜센터 ☎1544-8080으로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특1998-079703
H01L 27/10 (43) 공개일자 1998년11월25일

(21) 출원번호 특1998-003887
(22) 출원일자 1998년02월10일
(30) 우선권주장 8/824,702 1997년04월14일 미국(US)
(71) 출원인 인터내셔널 비지네스 머신즈 코퍼레이션 포먼 제프리 엘
미국 뉴욕주 10504 아몬크
(72) 발명자 수 루이스 루첸
미국 뉴욕주 12524 피쉬킬 크로스비 코드 7
만델만 잭 알렌
미국 뉴욕주 12582 스톨빌 자미에 레인 5
아사데라가 파리보르즈
미국 뉴욕주 10541 마호팩 크로톤 폴츠 로드 250
(74) 대리인 김창세, 장성구

심사청구 : 있음

(54) 하나의 기판상에 상이한 유형의 메모리 구조를 구현한 메모리 소자 및 그 구현 방법

요약

NVRAM 셀 구조, DRAM 셀 구조, SRAM 셀 구조를 포함하는 반도체 메모리 소자가 제공된다. NVRAM 셀 구조, DRAM 셀 구조, SRAM 셀 구조는 동일한 기판상에 형성된다. NVRAM 셀 구조가 제공된다. 하나의 기판상에 NVRAM, DRAM 및/또는 SRAM 메모리 구조를 포함하는 메모리 구조를 형성하는 방법과 신규한 NVRAM 셀 구조를 형성하는 방법이 제공된다.

도표도

도2a

명세서

도면의 간단한 설명

도 1은 종래의 적층 게이트 NVRAM 셀 구조의 단면도.

도 2a 내지 2c는 본 발명에 따른 NVRAM 셀 구조, 적층 캐패시터 DRAM 셀 구조 및 TFT SRAM 셀 구조를 포함하는 혼합된 메모리 소자의 단면도.

도 3a는 본 발명에 따라서 형성된 플로팅 게이트 및 제어 게이트상에 거칠어진 영역을 포함하는 NVRAM 셀 구조의 일예를 도시한 단면도.

도 3b는 도 3a에 도시된 신규한 구조에 대응하는 종래의 NVRAM 셀 구조를 도시한 단면도로서, 여기서 프로그래밍은 제어게이트에서 플로팅 게이트로 수행되는, 단면도.

도 4a는 본 발명에 따른 다른 실시예로써 플로팅 게이트와 제어 게이트사이에 더 크게 접촉된 면적을 포함하는 NVRAM 셀 구조의 다른 예를 도시한 단면도로서, 여기서 접촉면은 도 3a에 도시된 예보다 거칠은, 단면도.

도 4b는 도 4a에 도시된 신규한 구조에 대응하는 NVRAM 셀의 종래의 구조를 도시한 단면도로서, 여기서 프로그래밍은 드레인 또는 기판으로부터 플로팅 게이트로 수행되는, 단면도.

도 5a 내지 5i는 본 발명에 따른 제조공정의 일예의 여러 단계동안 본 발명에 따른 반도체 메모리 소자의 일예를 도시하는 단면도.

도 6a 내지 6c는 본 발명에 따른 플래시 PROM 셀, TFT SRAM 셀 및 DRAM 적층 셀의 다양한 실시예를 도시한 단면도.

도 7a 내지 7c는 도 6a 내지 6c에 개략적으로 도시된 메모리 셀을 도시한 단면도.

도 8a 내지 8c는 도 6a 내지 6c에 도시된 메모리 셀의 평면도.

도면의 주요 부분에 대한 부호의 설명

20, 62, 94: 소스 영역 22, 64, 96: 드레인 영역

리실리콘 층을 패터닝하여 형성한다. DRAM 셀 또는 SRAM 셀의 캐패시터는 기판내에 형성된 적어도 하나의 제 2 드레인 영역상의 제 2 폴리실리콘 층을 패터닝하여 형성한다. 유전 박막이 패터닝된 제 2 폴리실리콘층의 노출된 표면에 형성된다. 제 3 폴리실리콘층이 패터닝된 제 2 폴리실리콘층 상에 형성된다. NVRAM 셀의 제어 게이트는 제 2 폴리실리콘층의 패터닝된 부분에 대응하는 유전층 위의 제 3 폴리실리콘층을 패터닝하여 형성한다. DRAM 셀의 접지판 또는 박막 트랜지스터(TFT) SRAM 셀의 몸체는 제 2 폴리실리콘 층의 패터닝된 부분에 대응하는 유전층 위의 제 3 폴리실리콘 층을 패터닝함으로써 형성된다.

더욱이, 본 발명의 바람직한 다른 관점에 따르면, 본 발명은 상기 공정에 따라서 형성된 반도체 메모리 소자를 포함한다.

본 발명의 또 다른 목적 및 장점은 첨부된 명세서로부터 당 분야에서 통상의지식을 가진 자에게 명백하다. 상세한 설명은 본 발명을 실시하는 데 가장 바람직한 실시예를 예시하기 위하여 본 발명의 바람직한 실시예에 대하여 도시하고 개시하였다. 당 분야에서 통상의 지식을 가진 자는 본 발명의 다른 형태의 실시예를 포함하는 발명을 구현할 수 있다는 것을 알 수 있다. 본 발명의 사상을 벗어나지 않는 범주에서 본 발명은 다양한 형태로 변경할 수 있다. 즉, 도면 및 설명은 본질적으로 제한적이기 보다는 예시적이기 때문이다.

발명의 구성 및 작용

전술한 내용 및 다른 목적, 특징 및 장점은 첨부되는 도면을 참조하여 다음의 본 발명의 바람직한 실시예의 상세한 설명으로부터 보다 잘 이해될 것이다.

도 1은 종래의 적층 게이트 NVRAM 셀 구조를 도시한다. 도 1에 도시된 구조는 기판(4)에 형성된 소스 영역(1) 및 드레인 영역(2)을 구비한다. 기판내의 소스 및 드레인 영역의 모서리 부분에는 셀로우 트랜치 아이솔레이션(shallow trench isolation) 영역(6, 8)이 각각 형성된다.

적층 게이트(stacked gate) 구조(10)는 소스 영역(1) 및 드레인 영역(2)의 일부분상에 있는 기판(4)의 표면에 제공된다. 도 1에 도시된 바와 같이, 플로팅 게이트(12)는 기판에 인접하여 형성된다. 제어 게이트(14)는 플로팅 게이트(12)의 상부에 형성된다.

플로팅 게이트(12) 아래 기판(4)의 표면과 플로팅 게이트 사이에 매우 얇은절연층(16)이 놓여있다. 플로팅 게이트(12)를 프로그래밍하기 위하여, 절연층(16)은 캐리어(carrier)가 드레인(2) 또는 기판(4)과 제어 게이트(14) 사이의 일정 전압 레벨을 통과하도록 한다. 소자가 프로그래밍되면, 소자의 임계치(threshold)는 변화하며, 임계치의 변화가 다시 소자의 온/오프(on/off) 상태를 결정한다.

절연층은 산화물(oxide material)로 만들 수 있다. 바람직한 절연물은 실리콘 이산화물(silicon dioxide)이다.

도 1에 도시된 통상적인 적층 게이트 NVRAM 셀 구조는 통상적인 DRAM, 특히 고밀도의 트랜치 캐패시터(trench capacitor) DRAM과 집적시키는 것이 매우 어렵다. 이러한 어려움은 DRAM의 트랜치 캐패시터가 게이트 형성전에 형성되어야 하기 때문이다. 게이트 레벨에서도 NVRAM에 대해서는 여분의 폴리실리콘 층이 필요하다. NVRAM, DRAM 및 SRAM을 함께 형성하는 공정을 제공하는 것이 가능한 하나의 방법은 적층 캐패시터 DRAM 셀 구조 또는 TFT(Thin Film Transistor; TFT) SRAM 셀 구조를 NVRAM의 일부로 이용하는 것이다. 게이트가 형성된 이후에 캐패시터와 TFT가 형성되기 때문에, 캐패시터 접지 판의 상부 폴리실리콘층 또는 TFT 소자의 몸체를 NVRAM의 제어 게이트와 공유하는 것이 가능하다. 하지만, 도 1에 도시되고 상술한 바와 같은 통상적인 방식 및 RAM 구조는 이러한 접근법으로 사용하기에는 적합하지 않다.

본 발명은 다른 메모리 셀 구조가 형성되는 기판과 동일한 기판상에 NVRAM 구조를 형성하는 데 있어서 발생하는 어려움을 극복한다. 본 발명은 단일 기판상에 NVRAM, DRAM 및 SRAM 셀 구조를 함께 형성할 수 있는 공정을 제공한다. 이러한 공정을 제공하는 데 있어서, 본 발명은 하나의 기판상에 상이한 유형의 메모리 셀을 형성하기 위한 기존의 공정과 연관된 시간과 자원을 많이 소비하는 공정을 피한다.

비록 본 발명이 상이한 메모리 셀 구조를 하나의 기판상에 형성하기 위한 방법을 제공하지만, 고전압의 소자와 이에 관련된 공정은 여전히 반드시 수행되어야만 한다. 하지만, NVRAM에 대한 고전압의 주변(peripheral) 소자를 형성하기 위한 추가적인 공정은 필요 없다.

고전압의 주변 소자의 예는 전하-펌프(charge-pump) 및 부스트드(Boosted) W/L 구동기를 구비한다. 이러한 소자는 산화층의 신뢰성을 유지하기 위하여 두꺼운 산화층이 요구된다. 부스트드 W/L 구동기에 대한 예는 미국 특허 제 5,513,142 호에 개시되어 있으며, 그 전체적인 개시 내용은 본 명세서에서 참조로서 인용된다. 또한, 입력/출력(I/O) 회로는 고전압(high-voltage)을 경험할 수 있다. 따라서, 이러한 응용에 대해 상이한 두께의 산화층이 제공될 수 있다.

본 발명의 신규한 NVRAM 셀 구조는 적층 캐패시터 DRAM의 형상(topology) 및 재료층을 이용한다. 본 발명은 적층 캐패시터를 형성하기 위하여 이중 폴리실리콘 층을 이용한다. 이러한 방식은 TFT 소자를 형성하는 데 이용될 수도 있다. 이러한 방식으로 TFT 소자를 형성할 때, 하부 폴리실리콘 층은 p-FET 로드(load) 소자의 게이트로 사용될 수 있다. 상부 폴리실리콘 층은 TFT의 몸체로 사용될 수 있다.

도 2a, 2b 및 2c는 본 발명에 따라서 NVRAM, DRAM 및 SRAM 셀 구조의 실시예를 포함하는 메모리 소자의 실시예의 단면도를 도시한다. 도 2a에 도시한 NVRAM 셀 구조의 실시예는 하나의 기판(24)에 형성된 소스 영역(20) 및 드레인 영역(22)을 포함한다. 이 경우에도, 소스 및 드레인 영역에 인접한 기판에 각각 셀로우 트랜치(shallow trench) 영역(26, 28)이 제공된다.

게이트 레벨은 적어도 소스 영역(20) 및 드레인 영역(22) 부분 위의 기판상에 형성된다. 게이트 레벨은 게이트 구조(32)를 포함한다. 게이트 구조(32)는 얇은 절연층(34)에 의하여 기판(24), 소스(20) 및 드레인(22)으로부터 분리될 수 있다. 게이트 구조(32)는 영역(36)에 의하여 분리된다.

절연 재료는 산화 물질로 만들어질 수 있다. 바람직한 절연 재료는 실리콘이산화물이다.

소스 영역(20), 드레인 영역(22) 및 게이트 구조(32) 위에는 스택드 상호접속부(stud interconnection)(38, 40, 42)가 각각 형성될 수 있다. 앞에서 기술한 바와 같이, 스택드 상호접속부는 상이한 유형의 메모리 셀내의 상이한 위치에 형성될 수 있다. 스택드 상호접속부는 다양한 도전성 재료로 만들 수 있다. 예를 들면, 텅스텐(tungsten), 알루미늄(aluminum), 티타늄(titanium) 및 탄탈(tantalum) 같은 재료를 사용하여 스택드 상호접속부를 형성할 수 있다.

도 2a에 도시된 실시예에서, 스택드 상호접속부와 게이트 구조는 유전층(44)으로 둘러싸여 있다. 제 1 유전층으로 사용할 수 있는 재료로는 CVD(Chemical Vapor Deposition; CVD) 산화물이 포함된다.

유전체 면(44)의 일부뿐 아니라 스택드 상호접속부(38, 40, 42) 위에는 제 1 레벨의 금속화물(metallization)이 침착된다. NVRAM 셀 구조는 제 1 레벨의 금속화물 내에 소스와 비트 라인 모두를 포함한다. NVRAM 셀 구조내의 소스와 비트 라인은 수평 방향으로 배열될 수 있다. 금속화물은 다양한 도전성 재료로 만들어질 수 있다. 제 1 레벨의 금속화물로 사용할 수 있는 재료로는 CVD 또는 스퍼터링 침착된 알루미늄 또는 구리(copper)가 포함된다.

다음으로, 제 1 유전층, 스택드 상호접속부(38, 40, 42) 및 제 1 레벨의 금속화물(46, 48) 위에 제 2 유전층이 놓인다. 도 2a에 도시된 바와 같이 제 2 유전층(50) 내에 비아(via)(52)가 형성된다.

비아(52)내, 비아위, 그리고 비아를 둘러싸는 제 2 유전층(50)의 표면상에 NVRAM 셀 구조의 플로팅 게이트(54)가 형성된다. 플로팅 게이트는 소정의 적합한 재료로 만들어진다. 예를 들면, 플로팅 게이트는 CVD 폴리실리콘으로 만들어질 수 있다. 폴리실리콘은 인 시튜(in-situ) 도핑될 수 있다.

본 발명에 따르면, 플로팅 게이트 구조의 표면은 거칠게 됨으로써, 높은 결합 상수를 제공한다. 이와 같이 표면을 거칠게 만드는 방법은 당업자에게 있어서 잘 알려져 있다. 비정질 실리콘 층을 침착한 후, 열처리를 함으로써 다결정 실리콘으로 변화시키는 것은 플로팅 게이트의 표면 또는 다른 구조를 거칠게 만드는 데 이용되는 공정의 예에 포함된다. 이러한 방법은 1988년 7월 12일 파라원(Faraone)에 의하여 미합중국 특허번호 제 4,757,360 호로 등록된 특허에 개시되며, 그 전체 개시 내용은 본 명세서에서 참조로 인용된다. 하지만, 플로팅 게이트 구조가 거칠게 되지 않을 수도 있다. 본 발명에 따라서 확장된 플로팅 게이트는 종래의 게이트보다 더 큰 표면을 갖는다.

플로팅 게이트(54)의 위에는 바람직하게 제어 게이트(60)가 제공된다. 만약에, 플로팅 게이트의 표면이 거칠게 되면, 제어 게이트가 플로팅 게이트(54)의 상부에 놓여 있기 때문에 플로팅 게이트에 인접한 제어 게이트(60)의 표면도 따라서 거칠게 된다.

플로팅 게이트와 제어 게이트가 만나는 표면의 거칠기는 적층 캐패시터의 용량을 증가시킨다. 거칠어진 표면은 캐패시터의 유효 영역을 증가시킨다. 거칠어진 표면은 필드 증강 터널링(Field Enhanced Tunneling; FET) 방법을 이용하여 터널링 산화물로서 기능할 수 있다. 하지만, 게이트 표면을 반드시 거칠게 할 필요는 없다.

거칠어진 폴리실리콘 산화물이 터널링 산화물로 사용되는 본 발명의 실시예에 따르면, 결합비를 줄이기 위하여 플로팅 게이트의 표면 영역을 최소화할 수 있다. 결합비가 향상되면 낮은 전압 레벨에서의 프로그램이 가능해진다. 캐리어는 제어 게이트로부터 플로팅 게이트로 주입될 수 있다.

본 발명의 다른 실시예에 따르면, NVRAM 셀에 대하여 정극의 얇은 게이트 산화물은 터널링 산화물로 사용할 수 있다. 앞에서 기술한 바와 같이, 표면적을 증가시키는 데에 플로팅 게이트의 표면을 거칠게 하는 것이 반드시 필요한 것은 아니다.

본 발명에 따르는 NVRAM 셀의 두 실시예의 프로그래밍 비율은 통상적인 방법에 따라서 수행된다. 이와 달리, 프로그래밍 비율은 플로팅 게이트로부터 드레인 또는 기판으로 일어나거나, 그 역으로 일어날 수도 있다.

NVRAM 셀내의 제어 게이트는 바람직하게는 도핑된 폴리실리콘이다. 침착된 후, 폴리실리콘을 패터닝하여 NVRAM에 대한 제어 게이트를 형성하도록 한다.

도 2b는 본 발명에 따르는 적층 캐패시터 DRAM의 실시예를 도시한다. 도 2a에 도시된 NVRAM 구조와 마찬가지로, DRAM 구조는 소스(62), 드레인(64) 및 트렌치 마이슬레이션(isolation)(28) 영역을 포함한다. 본 발명에 따르는 DRAM도 앞서 기술한 NVRAM 셀 구조와 마찬가지로 게이트 구조(68) 및 스택드 상호접속부(76, 78)를 포함할 수 있다. 하지만, 도 2b에 도시된 실시예에서 알 수 있는 바와 같이, 본 발명에 따르는 DRAM 셀내의 스택드 상호접속부는 소스 영역(62) 및 드레인 영역(64) 위에만 형성되고 게이트 구조(68) 위에는 형성되지 않는다.

스택드 상호접속부가 형성된 후, 제 1 레벨의 금속화물이 형성된다. 하지만, 도 2a에 도시된 NVRAM의 실시예에서 소스와 드레인이 연결되었지만, 도 2b에 도시된 DRAM의 실시예에서는 제 1 레벨의 금속화물이 드레인(80)에만 연결된다. 더욱이, 본 발명에 따르는 DRAM의 제 1 레벨의 금속화물은 수평 방향의 비트 라인(bit line)과 수직 방향의 워드 라인(word line)을 가질 수 있다.

워드 라인은 실리콘사이드화 폴리실리콘(silicided polysilicon)으로 만들어진다. 예를 들면, 티타늄이 폴리실리콘의 표면에 침착될 수 있다. 일정한 기간 동안 소정의 온도에서 열처리된 후, 티타늄은 폴리실리콘과 반응하여 티타늄 실리콘사이드(titanium silicide)(낮은 저항을 갖는 TiSi)를 형성한다.

도 2b에 도시된 실시예에서 알 수 있는 바와 같이, DRAM 구조는 바람직하게 제 2 유전층(82)을 포함한다. NVRAM 구조와 같이 비아(84)가 DRAM 구조의 제 2 유전층(82)내에 형성된다. 하지만, NVRAM에서 비아가 게이트 구조(30)를 개방하는 반면, DRAM 구조에서 비아는 소스(64)와 연결된 스택드 상호접속부(78)를 개방한다.

본 발명에 따르면, 비아(84)내, 비아위 공간, 그리고 비아를 둘러싸는 제 2 유전층(82)의 표면상에 DRAM 셀에 대한 캐패시터 또는 노드판(node plate)이 제공된다. DRAM 셀의 캐패시터는 폴리실리콘으로 만들어지며, 폴리실리콘은 인 시튜 도핑될 수 있다. 도핑된 폴리실리콘은 NVRAM의 제어 게이트와 DRAM의 몸체

를 형성하는 데 사용될 수 있기 때문에 이러한 구조에 가장 바람직한 물질이다.

NVRAM 셀 구조에 대하여 앞서 기술한 바와 같이, DRAM 캐패시터 표면 또는 노드판은 거칠게 된다. 노드 판 혹은 캐패시터 표면상에 얇은 유전층이 침착되어 성장될 수 있다. DRAM의 접지판은, DRAM의 캐패시터 또는 노드판을 둘러싼 제 2 유전층(82)의 표면은 물론 얇은 유전층의 상부에 형성된다. 캐패시터 또는 노드판의 표면이 거칠게 만들어지면, 거칠어진 표면이 얇은 유전층 접지판의 하부면과 얇은 유전층에 복 사되는 것이 바람직하다.

앞서 기술된 바와 같이, 앞서 언급한 NVRAM 및/또는 DRAM 셀과 동일한 메모리 소자로 SRAM 셀 구조를 형 성하는 데 본 발명을 이용할 수 있다. 본 발명에 따르는 SRAM의 실시예는 도 2c에 도시된다. 도 2c는 반-래치(one-half latch), TFT 소자 및 풀-다운(full-down) NFET를 도시한다. 다른 반-래치는 실질적으 로 반대쪽과 동일할 것이다. 따라서, 도 2c에는 도시되지 않았다. 한편, 도 7b 및 8b는 백-투-백(back-to-back) SRAM 래치의 전체를 도시하며, 두 개의 전송(transfer) 게이트는 도시되지 않지만, 백-투-백 SRAM 래치는 두 개의 풀-업(pull-up) NFET TFT 및 두 개의 풀-다운(two pull-down) NFET를 포함한다.

도 2c에 도시된 SRAM 구조는 앞서 기술한 NVRAM 및 DRAM 구조와 같이 소스 영역(94) 및 드레인 영역(96) 을 포함한다. 소스(94) 및 드레인(96) 영역에 인접하여 셀로우 트렌치 아이솔레이션 영역(98, 100)이 각 각 제공된다.

앞서 NVRAM 및 DRAM에서처럼, SRAM은 바람직하게 게이트 구조(104) 및 아이솔레이션 구조(106)를 구비하 는 게이트(102)를 포함한다. 이 경우에도, 상기 NVRAM 및 DRAM 구조와 마찬가지로, 절연층(107)에 의하 여 게이트 구조가 기판과 분리될 수 있다. 절연층은 산화물로 만들어질 수 있다. 절연층은 바람직하게 는 실리콘 이산화물(silicon dioxide)이다.

도 2c에 도시된 SRAM 구조는 게이트(102)에 연결된 스타트 상호접속부(110)를 포함한다. SRAM 구조는 또 한 소스, 드레인, 아이솔레이션 영역(94, 96, 98, 100)을 구비하는 기판의 상부에 제 1 유전층(108)을 각 각 구비한다. 제 1 유전층은 적어도 부분적으로 게이트(102) 위에 연장될 수 있다. SRAM 구조의 스타트 상호접속부를 형성하는 데 있어 앞서 기술된 재료들이 사용될 수 있다.

도 2a 및 2b에 도시된 NVRAM 및 DRAM 구조와는 달리, 도 2c에 도시된 SRAM 구조는 제 1 레벨의 금속화 물을 포함하지 않는다. 하지만, 제 2 유전층(112)은 제 1 유전층위에 제공된다. 부가적으로, 제 2 유전 층내에 비아(114)가 제공된다. 본 발명에 따르는 SRAM 구조에서, 비아내, 비아위 공간, 비아를 둘러싸는 제 2 유전층 표면 위 공간에 TFT 게이트가 위치한다. TFT 게이트는 P형의 로드(load) 트랜지스 터로 만들어진다. 로드 트랜지스터는 풀다운 NFET와 함께 인버터(inverter)를 형성하기 위해 필요하다. 한 개의 완전한 SRAM에 대해, 풀-래치(full-latch)를 만들기 위해서는 두 개의 백-투-백 인버터가 필요하 다. 이러한 구조의 개략도는 도 7b에 도시된다.

NVRAM 및 DRAM에 대하여 앞에 기술한 바와 같이, TFT 게이트의 표면(120)은 거칠게 만들어질 수 있다. 앞에서 DRAM과 NVRAM 셀의 노드판 및 플로팅 게이트의 표면을 거칠게 만드는 데 각각 이용된 공정이 SRAM 의 TFT 게이트 표면을 거칠게 만드는 데 동시에 사용될 수 있다. TFT 게이트의 표면(120)의 일부 상에 얇은 유전층(122)이 성장 혹은 침착될 수 있으며, 그 위에 TFT 몸체가 위치할 수 있다. TFT 몸체(126)는 도 2c에 도시된다. TFT 몸체의 재료가 TFT 게이트의 거칠어진 표면위에 놓이기 때문에 얇은 유전층(122) 에 인접한 TFT 몸체의 표면(124)은 거칠게 될 수 있다.

도 7b 및 7c에 도시된 SRAM 셀에 대한 실시예는 두 개의 풀-업(pull-up) TFT 로드 PFET 소자 및 두 개의 NFET 소자를 포함하는 두 개의 백-투-백 인버터를 포함한다.

도 3a는 보다 작은 상부 표면적을 갖는 플로팅 게이트를 포함하는 NVRAM의 실시예를 도시한다. 표면적이 작아지면 결합율이 향상되고, 좀더 낮은 전압 레벨에서 사용할 수 있게 된다. 캐리어는 제어 게이트에서 플로팅 게이트로, 또는 그 역으로 주입될 수 있게 된다. 앞서 기술한 바와 같이, 플로팅 게이트 및 제어 게이트의 표면은 거칠게 될 필요는 없다.

도 3a에 도시된 NVRAM 구조에 대한 실시예는 플로팅 게이트와 제어 게이트사이의 얇은 유전층 또는 터널 산화물을 포함한다. 상기 실시예는 80 Å의 터널 산화물을 포함한다.

도 3b는 도 3a에 도시된 본 발명의 실시예에 대응하는 종래의 NVRAM 셀 구조를 도시한다.

도 4a는 플로팅 게이트가 더 큰 상부 표면적을 갖는, 본 발명에 따르는 NVRAM 구조에 대한 실시예를 도시 한다. 이러한 플로팅 게이트를 갖는, 본 발명에 따르는 NVRAM 구조에 대한 실시예는 덜 거칠게 되거나 매끈한 상부 표면을 가질 수 있다. 플로팅 게이트의 전체 면적이 커질수록 더 적은 정도의 거칠기로 이 루어진 더 적은 면적이 가능하게 된다. 하지만, 앞서 기술한 바와 같이, 제어 게이트 및 플로팅 게이트 의 표면은 거칠게 만들어질 필요는 없다.

도 4a에 도시된 NVRAM 구조에 대한 실시예는 약 30-40 Å의 터널 산화물을 포함하는 것이 바람직하다.

앞서 기술한 바와 같이, 본 발명은 동일한 반도체 메모리 소자내에 NVRAM, DRAM 및 SRAM 셀 구조를 형 성하는 방법을 포함한다. 도 5a 내지 5i는 도 7a 내지 7c 및 도 8a 내지 8c에 도시된 구조를 형성하기 위 한 본 발명에 따르는 공정에 있어서 다양한 단면도를 도시한다. 도 7a 내지 7c는 본 발명에 따르는 플래 시 PROM 셀, TFT SRAM 셀 및 적층 캐패시터 DRAM 셀을 각각 도시한다. 도 8a 내지 8c는 도 7a 내지 7c에 도시된 구조의 평면도를 각각 도시한다. 도 6a 내지 6c는 도 7a 내지 7c에 도시된 메모리 셀의 개략도를 각각 도시한다.

도 5a 내지 5i에서, 왼쪽 메모리 셀은 도 7a 및 8a에 도시된 플래시 PROM에 대응한다. 도 5a 내지 5i에 도시된 중앙의 메모리 셀은 도 7b 및 8b에 도시된 TFT SRAM 셀에 대응한다. 또한, 도 5a 내지 5i에 도시 된 오른쪽 메모리 셀은 도 7c 및 8c에 도시된 적층 캐패시터에 대응한다.

이러한 모든 공정은 당업자에게 잘 알려진 통상적인 방법에 따라 기판을 준비하는 공정, 아이솔레이션 및 게이트 레벨을 형성하는 공정에 의하여 시작한다. 도 2a, 2b 및 2c에 도시된 소스 영역, 드레인 영역,

트렌치 마이세레이션 및 게이트 구조를 형성하기 위하여 동일한 공정을 이용할 수 있다. DRAM 및 NVRAM 소자의 Vt를 최적화하기 위해서는 별도의 이온 주입(implantation) 마스크 단계가 요구된다. 낮은 저항을 갖기 위하여 소스, 드레인 및 게이트 구조를 모두 실리사이드화할 수 있다.

따라서, 메모리 셀을 형성하기 위한 공정은 도 5a에 도시된 구조를 형성함으로써 시작된다. 도 5a는 n-웰(n-well), p-웰(p-well)과 같은 웰 임플란트(implant) 모두를 포함하는 반도체 기판(101)을 도시한다. 이러한 임플란트는 통상적인 공정에 따라서 형성될 수 있다. 셀로우 마이세레이션 영역(202)은 통상적인 공정에 따라서 형성되는 것이 바람직하다.

기판의 적어도 일부분이 패드(pad) 절연 재료의 층(203)으로 덮혀진다. 패드내에 사용될 수 있는 재료의 예는 산화물(oxide) 및 질화물(nitride)을 포함한다.

기판의 나머지 표면은 게이트 산화물층(206)으로 형성될 수 있다. 게이트 산화물을 형성하기 위하여 사용될 수 있는 재료의 예는 열산화물(thermal oxide), CVD 산화물 또는 CVD 질화물을 포함한다. 게이트 산화물은 대략 6nm 내지 12nm의 두께를 갖는다.

이제까지 형성된 구조의 위에 폴리실리콘의 제 1 층(204)이 침착될 수 있다. 폴리실리콘은 CVD에 의하여 형성될 수 있다. 제 1 폴리실리콘 층위에 얇은 질화물층(205)이 침착될 수 있다. 질화물층도 CVD에 의하여 형성될 수 있다. 질화물층이 형성된 후의 구조는 도 5a의 구조와 같이 될 것이다.

도 5b에서, 폴리실리콘층(204) 상부에 있는 질화물층(205) 상부의 일부분 및 패드 재료(203)가 제거된다. 패드 재료의 제거는 반응성 이온 에칭(reactive ion etch) 공정에 의하여 이루어진다. 이어서, 패드 재료는 에칭 방지층으로 사용될 수 있으며, 이어서 제거될 수 있다. 패드 재료를 제거하기 위하여 사용될 수 있는 공정의 예는 습식 에칭 및 습식 세정(wet cleaning) 단계를 포함한다.

실리콘 기판의 노출된 면상에 매우 얇은 유전층(206)이 형성될 수 있다. 유전체는 열산화층으로 이루어질 수 있고 노출된 상에 성장시킴으로써 형성될 수 있다. 유전층은 터널링 산화물(tunneling oxide)이라 하기도 하며 대략 3nm 내지 5nm의 두께를 가질 수 있다. 이 층은 매우 얇고 도 5b에서 얇은 선에 의하여 나타내어진다. 지금까지 형성된 구조가 도 5b에 도시된다.

도 5c에 도시된 바와 같이, 제 2 폴리실리콘 층(207)이 도 5b에 도시된 전체 구조상에 형성될 수 있다. 제 2 폴리실리콘층은 CVD에 의하여 침착될 수 있다.

도 5d에 도시된 바와 같이, 포토리소그래피(photolithography) 레지스트 패턴(208)이 제 1 폴리실리콘상에 놓여 있는 제 2 폴리실리콘의 부분을 제거하기 위하여 사용될 수 있다. 이어서, 포토리소그래피 레지스트 패턴이 제거될 수 있다.

NVRAM, SRAM 및 DRAM 소자의 게이트는 통상적인 에칭 방법으로 형성될 수 있다. 측벽 스페이서(210)는 유전 물질의 침착에 의해 형성되어 블랭킷 에칭(blanket etch)에 의해 재단될 수 있다. 이렇게 만들어진 구조는 도 5e에 도시된다.

이어서, 제 1 유전체면(211) 및 스택드 상호접속부(212)가 통상적인 공정에 따라서 형성된다. 앞서 기술한 바와 같이, DRAM 셀내의 스택드 상호접속부가 오직 소스 및 드레인으로부터 연장되는 반면에 NVRAM 셀내의 스택드 상호접속부는 소스, 드레인 및 게이트로부터 연장된다. 도 5f는 제 1 유전체면 및 스택드 상호접속부가 형성된 이후의 소자의 단면도를 도시한다.

이어서, 제 1 레벨 금속화물(213)이 제 1 유전층 및 스택드 상호접속부 위에 형성될 수 있다. 금속화물은 주지의 통상적인 방법에 따라서 규정될 수 있다. 금속화물 및 전체 구조의 단면도가 도 5g에 도시된다. 도 5g에 도시된 바와 같이, 본 발명에 따르는 NVRAM 구조는 수평 방향으로 형성된 소스 라인(228) 및 비트 라인(203)을 구비하는 금속화물을 포함한다. 한편, 도 5g에 도시된 DRAM 구조는 수평 방향으로 형성된 비트 라인(215)을 포함한다. 또한, DRAM은 폴리실리콘 게이트로 만들어진 수직 방향의 워드 라인(216)을 포함한다.

제 1 레벨 금속화물이 부착된 후, 제 2 유전층(217)이 제 1 레벨 금속화 및 기판의 표면에 침착될 수 있다. 이어서 비아들이 제 2 유전층내에 형성된다. 비아들의 위치는 형성되는 메모리 셀 구조의 유형에 따라 달라진다. 예를 들면, NVRAM 셀의 구조에서, 비아들은 게이트 구조와 연결된 스택드 상호접속부 위에 형성된다. 이러한 것은 도 5h의 왼쪽 부분에 도시된다. 도 5h에 도시된 바와 같이, 비아는 제 2 유전층의 표면 및 제 2 스택드 상호접속부 근처의 부분까지 연장될 수 있다.

한편, 만약 본 발명의 공정이 DRAM 셀 구조 또는 SRAM 셀 구조를 형성하기 위하여 이용된다면, 비아는 드레인 영역에 연결된 스택드 상호접속부의 위에 형성되는 것이 바람직하다. 이러한 것이 도 5h의 오른쪽 및 중앙부에 각각 도시된다. 위에서와 마찬가지로, 비아는 드레인 영역에 연결된 스택드 상호접속부 근처의 제 2 유전층의 표면까지 연장된다.

제 2 유전층 및 비아는 통상적인 방법에 따라서 형성될 수 있다.

도 5h에 도시된 바와 같이, 어떠한 경우에, 스택드 상호접속이 제 1 및 제 2 유전층을 통하여 기판내의 소스 및 드레인 영역 또는 기판상에 형성된 게이트 구조까지 형성될 수 있다. 이러한 스택드 상호접속부는 제 2 유전층의 상부면까지 연장된다.

비아들이 형성되면, 도 5h에 도시된 바와 같이 물질이 비아들 내에 침착되는 것이 바람직하다.

이어서, 공정은 DRAM, SRAM 및/또는 NVRAM 셀 구조의 기능적인 부분을 형성하는 단계를 포함한다. 메모리 셀의 기능적인 부분을 형성하는 단계는 제 2 유전층 내에 형성된 비아들 및 스택드 상호접속부, 또한 비아들 및 스택드 상호접속부를 둘러싸는 제 2 유전층 위에 소정의 재료층을 형성함으로써 시작한다. 바람직한 실시예에 따르면, 이 재료는 인시투 도핑된 폴리실리콘이다. 이러한 경우에, 이 것을 제 3 폴리실리콘 층으로 간주할 수 있다. 이 재료는 형성될 메모리 셀에 따라서 패터닝된다. 예를 들면, 만약 공정이 NVRAM 셀을 형성하기 위하여 이용된다면, 재료(218)는 비아의 주위 및 위의 영역을 덮도록 패터닝된

다. 재료(218, 219) 및 그 사이의 스테드는 NVRAM 셀의 플로팅 게이트 전체를 형성할 수 있다.

이와 달리, 만약 본 발명의 실시예가 제 2 유전층을 통하여 형성된 스테드 상호접속부를 포함하면, 상기 재료를 패터닝하여 스테드 상호접속부 부근의 제 2 유전층 표면에 연장되어 스테드 상호접속부 위에 남도록 함으로써 메모리 구조의 기능적인 부분이 형성될 수 있다.

앞에서 기술한 바와 같이, 또한 DRAM 셀을 형성하는 데 본 발명을 이용할 수 있다. 만약, 공정이 DRAM 셀을 형성하는 데 이용된다면, 재료를 패터닝하여 구조(220)를 얻음으로써 비아를 또는 스테드 상호접속부의 주위 및 위에 그리고 제 2 유전층의 표면을 둘러싼 표면에 남겨서 DRAM 셀의 캐패시터 또는 노드판을 형성하게 된다.

만약 본 발명이 SRAM 셀을 형성하기 위하여 이용되면, 비아 또는 스테드 상호접속부는 NVRAM에 대하여 앞에서 기술한 바와 같이 게이트에 연결된 스테드 상호접속부 위의 제 2 유전층에만 형성된다. 비아의 주위와 위의, 또는 스테드 상호접속부의 주위와 위의 패터닝된 재료(221, 222)는 SRAM 셀의 박막 트랜지스터 소자의 게이트를 형성하기에 적합한 재료이다. 이러한 재료의 예는 p-형 도핑된 폴리실리콘이다. 사실, 게이트(223)와 연결된 게이트 재료(221), 스테드 상호접속부에 의하여 게이트(224)에 연결된 게이트(222)는 하부 NFET 소자뿐만 아니라 상부 PFET 소자 모두에 대한 게이트이다.

재료가 패터닝되면, 재료의 노출된 표면은 거칠기 공정(roughening process)을 하여야만 한다. 이러한 거칠기 공정의 예는 앞에서 기술하였다.

재료를 패터닝하거나 또한 패터닝된 재료의 표면을 거칠게 한 후 거칠어진 표면에 유전층 박막이 침착된다. 이러한 유전층 재료는 터널 층으로 작용한다. 도 3a 및 4a에 도시된 실시예로부터 알 수 있는 바와 같이, 만약 패터닝된 재료의 표면이 거칠어지면, 유전체가 거칠어진 전체 표면의 상부에 실질적으로 균일하게 침착되고, 실제로 상대적으로 매우 얇은 층일 경우, 거칠어진 표면은 거칠어진 표면에 침착된 유전체에 복사된다.

패터닝되고 거칠어진 표면에 유전층을 침착한 후, 다른 도전 재료층이 패터닝된 재료상에 침착된 유전체와 제 2 유전체 층의 노출된 표면에 침착된다. 이 층은 제 3 폴리실리콘 층(226)일 수 있다. 도 5j는 제 3 폴리실리콘 층을 침착한 다음의 구조를 도시한다.

다음으로, 도 5k에 도시된 바와 같이 제 3 폴리실리콘 층이 패터닝된다. 제 3 폴리실리콘의 기능은 제조되는 메모리 셀의 유형에 따라서 달라진다. 만약 셀이 NVRAM 셀이면, NVRAM 셀의 제어 게이트를 형성하기에 적합한 재료이어야 한다. 만약 셀이 SRAM 셀 구조이면, DRAM의 접지판을 형성하기에 적합한 재료이어야 한다. 만약 셀이 DRAM 셀 구조이면, 유전체상에 침착된 재료는 SRAM의 TFT 물체를 형성하기에 적합한 재료이어야 한다. 패터닝된 재료는 필요한 기능에 따라서 더 이상의 공정을 필요로 할 수 있다. 도 5k는 상부 박막 트랜지스터 소자의 소스/드레인으로 주변에 형성된 p+ 영역을 형성하기 위하여 SRAM 셀내에서 패터닝 및 이온 주입 공정이 수행된 것을 도시한다.

여기에서 알 수 있는 바와 같이, 만약 유전체 터널 산화층의 표면이 거칠게 되면, 표면에 놓여진 재료는 거칠어진 하부면을 가질 것이다.

메모리 셀 구조가 완성되면, 메모리 셀 구조에 다른 기능적인 연결을 형성하기 위하여 부가적인 공정이 수행된다.

본 발명의 중요한 장점은 본 발명이 각 유형의 메모리 셀에서 사용될 수 있는 유사한 구조를 제공하기 때문에 앞서 기술된 상이한 세 종류의 메모리가 동시에 형성될 수 있다는 점이다. 예를 들면, NVRAM 셀의 플로팅 게이트는 DRAM 셀의 적층 캐패시터의 노드판이 형성될 때 동시에 형성될 수 있다. 플로팅 게이트, TFT의 게이트 및 노드판 모두가 동시에 거칠게 될 수 있다. 부가적으로, TFT에 대한 DRAM 게이트 산화물의 캐패시터로 형성된 박막 유전체는 NVRAM 셀의 터널링 산화물일 수 있다.

거칠어진 폴리실리콘 표면 때문에, 제어 게이트로부터 플로팅 게이트를 프로그램하는 데 필드 증강 터널링 메커니즘(field enhanced tunneling mechanism)이 사용될 수 있다. 더욱이, NVRAM 셀의 제어 게이트는 DRAM 캐패시터의 접지판(ground plate) 및 TFT의 물체가 형성될 때 동시에 형성될 수 있다.

NVRAM, DRAM 또는 SRAM 회로를 구현하기 위하여, 고전압 동작을 처리하기 위한 고전압의 주변 소자를 형성하기 위하여 3 단계의 부가적인 공정이 요구된다. 이러한 단계는 두꺼운 게이트 산화물, 특별한 LDD 및 심층 접합 임플란트(deeper junction implant)를 포함한다.

본 발명은 NVRAM 셀 구조와 함께 적용할 수 있는 DRAM 및 SRAM 공정을 제공한다. 이러한 구조 및 형성하기 위한 공정은 저가로 고밀도의 DRAM 및 SRAM 메모리 아키텍처안에 NVRAM을 넣는 것을 가능하도록 한다. 퓨즈(fuse)보다 NVRAM 셀이 고밀도이며 용통성이 높고, 본 발명은 NVRAM 셀 구조를 DRAM 및 SRAM을 포함하는 메모리 소자내에 구현하는 것을 가능하게 하기 때문에 본 발명은 논리 소자를 형성하는 데 많은 미점이 있다. 이렇게 하는 데 있어서, 본 발명은 하나의 메모리 칩이 아니라 다수 개의 별도의 메모리 칩을 동일한 레벨에 집적하는 것을 가능하게 한다. 더욱이, 본 발명은 단일 칩상에 다양한 형태의 메모리 셀을 가공하기 위하여 부가적으로 복잡한 공정 단계, 다중 마스크 레벨 및 재료층 없이 상대적으로 단순한 공정 및 적은 단계를 제공한다.

본 발명은 바람직한 실시예의 관점으로 기술하였으나, 당 분야에서 통상의 지식을 가진 자라면 본 발명이 다른 조합 및 상황에 사용되고 본 발명의 범위내에서 변경이 실시될 수 있음을 인지할 것이다.

발명의 효과

상기한 바와 같은 본 발명에 따르면, 상이한 형태의 메모리 셀을 병합하는 종래의 알려진 공정은 단일 칩상에 한 종류 이상의 메모리 셀을 가공하기 위해 매우 복잡한 공정 단계, 많은 부가적인 마스크 레벨 및 재료층을 포함한다. 이러한 공정은 시간이 많이 소요되고 비싸다. 다른 해결 방법은 동일한 칩상에 형성하는 대신 오직 하나의 시스템 레벨상에 메모리 셀들을 집적하는 것이다. 따라서, 본 발명은 단일 기

판상에 삽입한 증류의 메모리 셀 구조가 함께 형성될 수 있는 공정 및 구조를 제공함으로써 앞서 기술한 문제점에 대한 해결 방법을 제공한다.

(57) 청구의 범위

청구항 1. 반도체 메모리 소자(a semiconductor memory device)에 있어서, ① 비휘발성 랜덤 액세스 메모리(a NVRAM) 셀 구조와, ② 동적 랜덤 액세스 메모리(a DRAM) 셀 구조와, ③ 정적 랜덤 액세스 메모리(a SRAM) 셀 구조를 포함하며, 상기 NVRAM, DRAM, SRAM 셀 구조가 동일한 기판상에 형성되어 있는 반도체 메모리 소자.

청구항 2. 제 1 항에 있어서, 상기 NVRAM 셀 구조는 제 1 플로팅 게이트, 제 2 플로팅 게이트, 제 1 플로팅 게이트와 제 2 플로팅 게이트를 연결하는 상호접속부(interconnection) 및 상기 제 2 플로팅 게이트 상의 제어 게이트를 포함하는 반도체 메모리 소자.

청구항 3. 제 1 항에 있어서, 상기 SRAM 셀 구조는 NFET 구동 소자, PFET 로드 소자, 상기 구동 소자의 게이트와 상기 로드 소자를 연결하는 상호접속부 및 상기 구동 소자의 몸체를 포함하는 반도체 메모리 소자.

청구항 4. 상기 제 3 항에 있어서, 상기 로드 소자가 박막 트랜지스터 소자인 반도체 메모리 소자.

청구항 5. 제 2 항에 있어서, 상기 제어 게이트와 상기 플로팅 게이트 사이에 폴리실리콘 산화물을 더 포함하며, 상기 폴리실리콘 산화물이 터널링 산화물로 기능하는 반도체 메모리 소자.

청구항 6. 제 2 항에 있어서, 상기 제 2 플로팅 게이트의 표면이 거칠게(roughened)된 반도체 메모리 소자.

청구항 7. 제 2 항에 있어서, 상기 제 1 플로팅 게이트와 상기 기판 사이에 얇은 게이트 산화물을 침착함으로써 터널링 산화물이 제공되는 반도체 메모리 소자.

청구항 8. 제 1 항에 있어서, 상기 DRAM 셀 구조가 전송(transfer) 게이트 소자, 적층 캐패시터 및 접지판(ground plate)을 포함하는 반도체 메모리 소자.

청구항 9. 제 8 항에 있어서, 상기 적층 캐패시터와 상기 전송 게이트의 소스가 상호접속부 스태드(stud)에 의하여 연결된 반도체 메모리 소자.

청구항 10. DRAM 셀 구조, NVRAM 셀 구조 및 SRAM 셀 구조를 형성하기 위한 방법에 있어서, 상기 방법은, ① 기판내에 소자 마이그레이션 영역을 형성하는 단계와, ② 상기 기판내에 n-well, p-well 및 임계 임플란트(implant)영역을 형성하는 단계와, ③ 상기 기판의 노출된 영역의 위에 제 1 유전층을 형성하는 단계와, ④ 상기 기판상의 소스와 드레인 영역과 정렬된 제 1 도전층을 갖는 제 1 게이트 구조를 형성하는 단계와, ⑤ 상기 제 1 게이트 구조상에 제 1 마이그레이션 영역을 형성하는 단계와, ⑥ 상기 기판내의 소스, 드레인 및 게이트 영역위에 제 1 상호접속부를 형성하는 단계와, ⑦ 상기 제 1 상호접속부의 상부 상에 금속화물(metalization)을 형성하는 단계와, ⑧ 상기 제 1 마이그레이션 영역위에 제 2 마이그레이션 영역을 형성하는 단계와, ⑨ 상기 제 1 상호접속부, 상기 제 1 게이트 구조, 상기 제 1 금속화물, 또는 상기 소스 또는 상기 드레인 영역위에 제 2 상호접속부를 형성하는 단계와, ⑩ 상기 제 2 상호접속부의 상부 상에 제 2 도전층을 형성하는 단계와, ⑪ 상기 제 2 도전층의 상부 상에 제 2 유전층을 형성하는 단계와, ⑫ 상기 제 2 유전층의 상부 상에 제 3 도전층을 형성하는 단계를 포함하는 DRAM 셀 구조, NVRAM 셀 구조 및 SRAM 셀 구조 형성 방법.

청구항 11. 제 10 항에 있어서, 상기 제 1 유전층이 열산화(thermal oxide), CVD 산화 또는 CVD 질화에 의하여 형성된 게이트 산화물인 DRAM 셀 구조, NVRAM 셀 구조 및 SRAM 셀 구조 형성 방법.

청구항 12. 제 10 항에 있어서, 상기 제 1 도전층은 DRAM, SRAM 또는 NVRAM 셀의 게이트를 형성하고 CVD 폴리실리콘 침착에 의하여 형성되는 DRAM 셀 구조, NVRAM 셀 구조 및 SRAM 셀 구조 형성 방법.

청구항 13. 제 10 항에 있어서, 상기 제 1 마이그레이션 영역이 CVD 산화물, CVD TEOS 또는 CVD 유리에 의하여 형성되는 DRAM 셀 구조, NVRAM 셀 구조 및 SRAM 셀 구조 형성 방법.

청구항 14. 제 10 항에 있어서, 상기 제 1 상호접속부가 CVD 텅스텐(tungsten) 또는 CVD 도핑된 폴리실리콘인 DRAM 셀 구조, NVRAM 셀 구조 및 SRAM 셀 구조 형성 방법.

청구항 15. 제 10 항에 있어서, 상기 제 2 도전층이 도핑된 폴리실리콘이고, 적층 캐패시터 DRAM 셀의 캐패시터의 노드판(node plate)을 형성하는 DRAM 셀 구조, NVRAM 셀 구조 및 SRAM 셀 구조 형성 방법.

청구항 16. 제 10 항에 있어서, 상기 제 2 도전층이 도핑된 CVD 폴리실리콘이며, 상기 SRAM 셀 구조에 대한 로드 PFET의 게이트를 형성하며, NVRAM 셀 구조의 상위 플로팅 게이트를 형성하는 DRAM 셀 구조, NVRAM 셀 구조 및 SRAM 셀 구조 형성 방법.

청구항 17. 제 10 항에 있어서, 상기 제 2 유전층이 약 40Å 내지 약 100Å의 두께로 형성되는 DRAM 셀 구조, NVRAM 셀 구조 및 SRAM 셀 구조 형성 방법.

청구항 18. 제 10 항에 있어서, 상기 제 3 도전층이 도핑된 CVD 폴리실리콘이고, 적층 캐패시터 DRAM 셀의 캐패시터의 접지판인 DRAM 셀 구조, NVRAM 셀 구조 및 SRAM 셀 구조 형성 방법.

청구항 19. 제 10 항에 있어서, 상기 제 3 도전층이 도핑된 CVD 폴리실리콘이고, 상기 SRAM 구조의 로드 PFET 소자의 몸체 및 상기 NVRAM 셀 구조의 제어 게이트를 형성하는 DRAM 셀 구조, NVRAM 셀 구조 및 SRAM 셀 구조 형성 방법.

청구항 20. 제 10 항에 있어서, 상기 제 2 도전층이 거칠게 만들어지는 DRAM 셀 구조, NVRAM 셀 구조 및 SRAM 셀 구조 형성 방법.

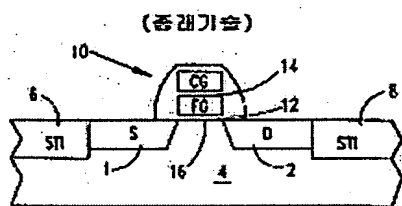
형구한 21. NVRAM 셀 구조를 형성하기 위한 방법에 있어서, 상기 방법은, ① 기판내에 소스 영역을 형성하는 단계와, ② 상기 기판내에 드레인 영역을 형성하는 단계와, ③ 상기 기판내의 상기 소스 및 상기 드레인 영역에 인접하게 마이슬레이션 영역을 형성하는 단계와, ④ 상기 소스 영역 및 상기 드레인 영역에 연결된 게이트 구조를 형성하는 단계-상기 게이트 구조는 적어도 하나의 제 1 플로팅 게이트를 포함하며, 상기 제 1 플로팅 게이트와 상기 소스 영역 및 상기 드레인 영역 사이에 산화층이 형성된다-와, ⑤ 상기 게이트 구조에 주위에 제 1 마이슬레이션 영역을 형성하는 단계와, ⑥ 상기 소스 영역, 드레인 영역 및 상기 게이트 구조에 연결된 스토드(stud) 상호접속부를 형성하는 단계와, ⑦ 상기 기판의 노출된 영역과 상기 게이트 구조의 위여 제 1 유전층을 형성하는 단계와, ⑧ 상기 소스 영역과 상기 드레인 영역에 연결된 상기 스토드 상호접속부에 연결된 제 1 금속화물(metalization)을 형성하는 단계와, ⑨ 상기 제 1 금속화를 위에 마이슬레이션 영역을 형성하는 단계와, ⑩ 적어도 상기 게이트 구조에 연결된 상기 스토드 상호접속부 위에 도핑된 폴리실리콘을 침착하고 패터닝하여 상기 NVRAM 셀의 제 2 플로팅 게이트를 형성하는 단계와, ⑪ 상기 도핑된 폴리실리콘의 상기 노출된 표면위에 얇은 유전층을 침착하는 단계와, ⑫ 상기 유전층 위에 도핑된 폴리실리콘을 침착하고 패터닝하여 상기 NVRAM 셀의 제 2 게이트를 형성하는 단계를 포함하는 NVRAM 셀 구조 형성 방법.

참구항 22. 제 21 항에 있어서, 상기 제 2 플로팅 게이트의 노출된 표면이 거칠게 만들어지는 NVRAM 셀 구조 형성 방법.

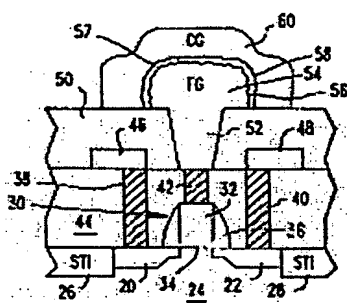
참고항 23. 제 21 항에 있어서, 상기 공정미가 DRAM 셀 구조 및 SRAM 셀 구조를 형성하기 위한 공정과 합쳐서 NVRAM 셀 구조 형성 방법.

청구항 24. NVRAM 셀 구조, DRAM 셀 구조 및 SRAM 셀 구조를 포함하는 반도체 메모리 소자를 형성하기 위한 방법이 있어서, 상기 방법은, ① 기판내에 소스 영역을 형성하는 단계와, ② 상기 기판내에 n-웰(n-well), p-웰(p-well) 및 임계치 임플란트 영역을 형성하는 단계와, ③ 상기 기판의 노출된 영역위에 제 1 유전층을 형성하는 단계와, ④ 상기 기판상의 소스 영역과 드레인 영역에 정렬된 제 1 도전층을 갖는 제 1 게이트 구조를 형성하는 단계와, ⑤ 상기 제 1 게이트 구조위에 제 1 마이슬레이션 영역을 형성하는 단계와, ⑥ 상기 기판내의 소스 영역, 드레인 영역 및 게이트 위에 제 1 상호접속부를 형성하는 단계와, ⑦ 상기 제 1 상호접속부 상부 상에 금속화물을 형성하는 단계와, ⑧ 상기 제 1 마이슬레이션 영역위에 제 2 마이슬레이션 영역을 형성하는 단계와, ⑨ 상기 제 1 상호접속부, 상기 제 1 게이트 구조, 상기 제 1 금속화물, 또는 상기 소스 또는 상기 드레인 영역위에 제 2 상호접속부를 형성하는 단계와, ⑩ 상기 제 2 상호접속부의 상부 상에 제 2 도전층을 형성하는 단계와, ⑪ 상기 제 2 도전층의 상부 상에 제 2 유전층을 형성하는 단계와, ⑫ 상기 제 2 유전층 상부 상에 제 3 도전층을 형성하는 단계를 포함하는 반도체 메모리 소자를 형성하기 위한 방법.

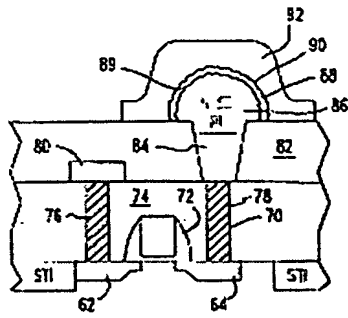
50

도표 1

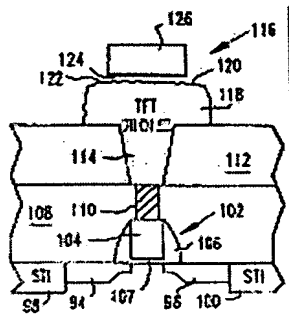
CPA



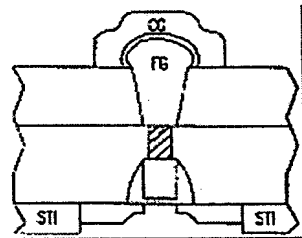
도 2b



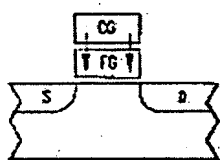
도 2c



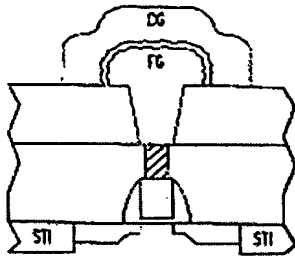
도 2d



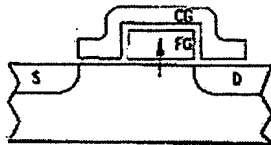
도 2e



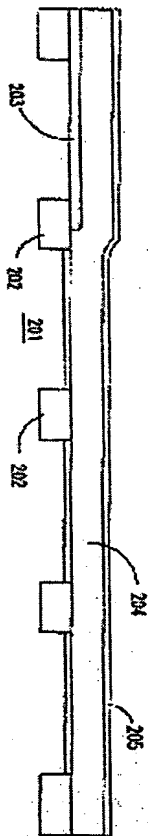
도 4a



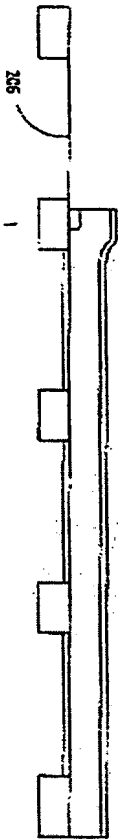
도 4b



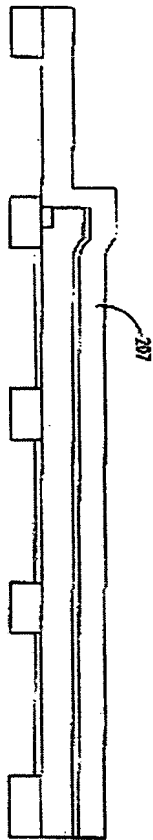
도 5a



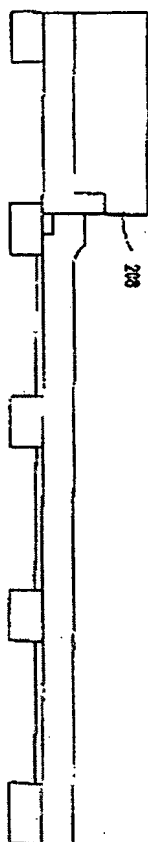
509



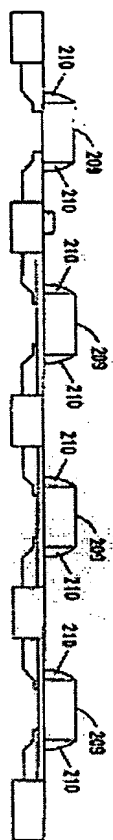
도 85



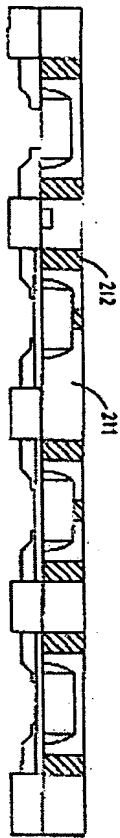
585

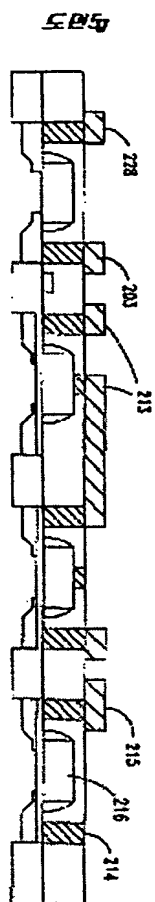


도 15

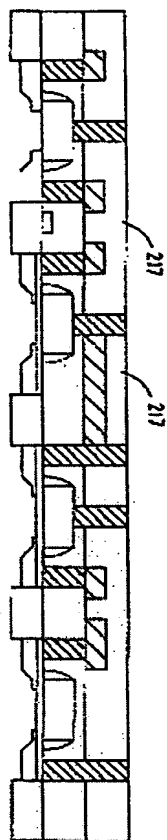


585

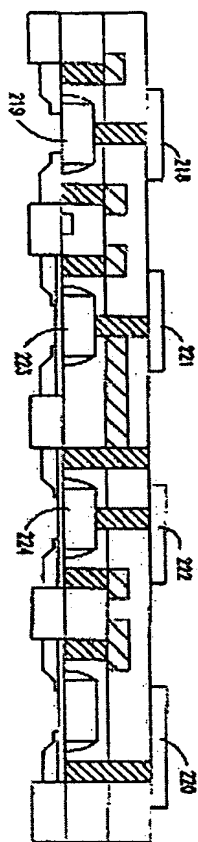




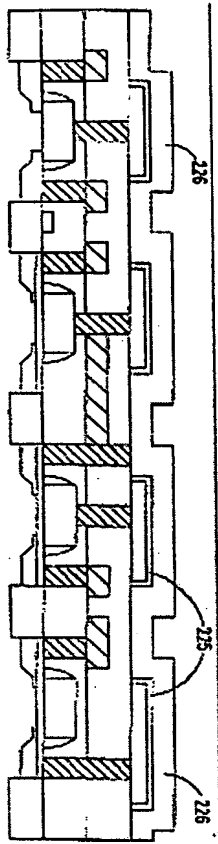
CB3



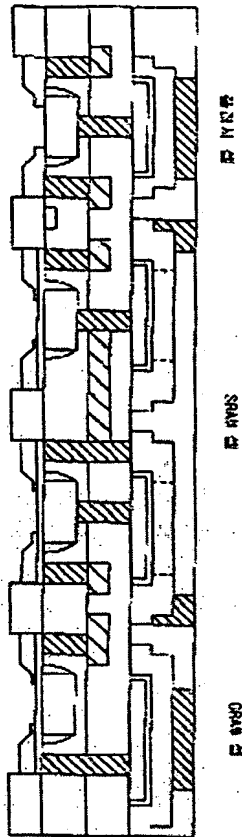
도 55



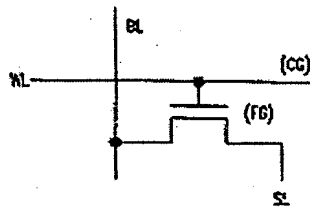
도 25



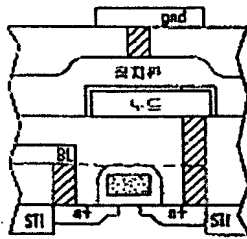
도 51



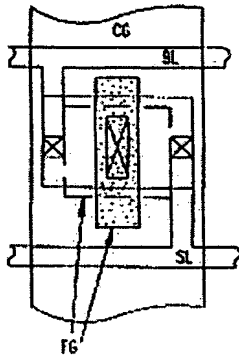
도 52



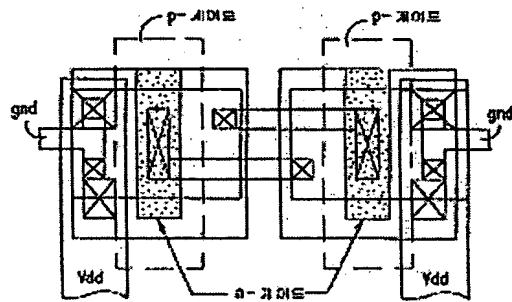
도면 7a



도면 8a



도면 8b



도면 8c

